

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Sung-Yung Lee et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

**For: SEMICONDUCTOR DEVICES HAVING CAPACITORS OF METAL-  
INSULATOR-METAL STRUCTURE WITH COEXTENSIVE OXIDATION  
BARRIER PATTERN AND LOWER ELECTRODE BOTTOM AND METHODS OF  
FORMING THE SAME**

August 28, 2003

Mail Stop Patent Application

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of  
Korean priority Application No. 2002-0066520, filed October 30, 2002.

Respectfully submitted,



Julie H. Richardson

Registration No. 40,142

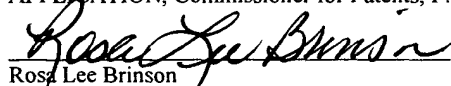
Customer No. 20792  
Myers Bigel Sibley & Sajovec  
PO Box 37428  
Raleigh NC 27627  
Tel (919) 854-1400  
Fax (919) 854-1401

**CERTIFICATE OF EXPRESS MAILING**

Express Mail Label No. EV 318419502 US

Date of Deposit: August 28, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



Rosa Lee Brinson

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

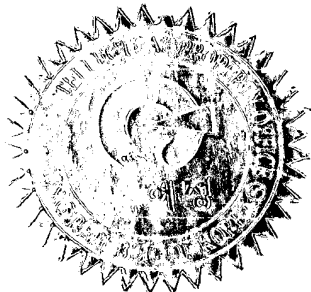
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0066520  
Application Number

출원년월일 : 2002년 10월 30일  
Date of Application OCT 30, 2002

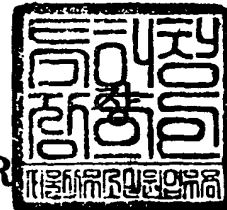
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      06      18      일  
          년      월

특      허      청

COMMISSIONER



**【서지사항】**

<b>【서류명】</b>	서지사항 보정서
<b>【수신처】</b>	특허청장
<b>【제출일자】</b>	2003.05.29
<b>【제출인】</b>	
<b>【명칭】</b>	삼성전자 주식회사
<b>【출원인코드】</b>	1-1998-104271-3
<b>【사건과의 관계】</b>	출원인
<b>【대리인】</b>	
<b>【성명】</b>	임창현
<b>【대리인코드】</b>	9-1998-000386-5
<b>【포괄위임등록번호】</b>	1999-007368-2
<b>【대리인】</b>	
<b>【성명】</b>	권혁수
<b>【대리인코드】</b>	9-1999-000370-4
<b>【포괄위임등록번호】</b>	1999-056971-6
<b>【사건의 표시】</b>	
<b>【출원번호】</b>	10-2002-0066520
<b>【출원일자】</b>	2002. 10. 30
<b>【심사청구일자】</b>	2002. 10. 30
<b>【발명의 명칭】</b>	엠아이엠 구조의 커패시터를 갖는 반도체소자 및 그 형성방법
<b>【제출원인】</b>	
<b>【접수번호】</b>	1-1-2002-0358594-00
<b>【접수일자】</b>	2002. 10. 30
<b>【보정할 서류】</b>	특허출원서
<b>【보정할 사항】</b>	
<b>【보정대상항목】</b>	발명자
<b>【보정방법】</b>	정정
<b>【보정내용】</b>	
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	이상영
<b>【성명의 영문표기】</b>	LEE, SUNG YUNG
<b>【주민등록번호】</b>	611203-1820815

【우편번호】	137-130
【주소】	서울특별시 서초구 양재동 154-2 우성아파트 106동 1305호
【국적】	KR
【발명자】	
【성명의 국문표기】	장낙원
【성명의 영문표기】	JANG, NAK WON
【주민등록번호】	671107-1156813
【우편번호】	151-014
【주소】	서울특별시 관악구 신림4동 495-14호
【국적】	KR
【발명자】	
【성명의 국문표기】	주흥진
【성명의 영문표기】	JOO, HEUNG JIN
【주민등록번호】	720531-1820112
【우편번호】	442-737
【주소】	경기도 수원시 팔달구 영통동 청명마을3단지 아파트 334-904
【국적】	KR
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조 의 규정에 의하여 위와 같 이 제출합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【보정료】	0 원
【기타 수수료】	원
【합계】	0 원



1020020066520

출력 일자: 2003/6/19

**【서지사항】**

<b>【서류명】</b>	특허출원서
<b>【권리구분】</b>	특허
<b>【수신처】</b>	특허청장
<b>【제출일자】</b>	2002. 10. 30
<b>【발명의 명칭】</b>	엠아이엠 구조의 커패시터를 갖는 반도체소자 및 그 형성 방법
<b>【발명의 영문명칭】</b>	Semiconductor device having capacitors of Metal-Insulator-Metal structure and Method of forming the same
<b>【출원인】</b>	
<b>【명칭】</b>	삼성전자 주식회사
<b>【출원인코드】</b>	1-1998-104271-3
<b>【대리인】</b>	
<b>【성명】</b>	임창현
<b>【대리인코드】</b>	9-1998-000386-5
<b>【포괄위임등록번호】</b>	1999-007368-2
<b>【대리인】</b>	
<b>【성명】</b>	권혁수
<b>【대리인코드】</b>	9-1999-000370-4
<b>【포괄위임등록번호】</b>	1999-056971-6
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	장낙원
<b>【성명의 영문표기】</b>	JANG, NAK WON
<b>【주민등록번호】</b>	671107-1156813
<b>【우편번호】</b>	151-014
<b>【주소】</b>	서울특별시 관악구 신림4동 499-42호
<b>【국적】</b>	KR
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	주흥진
<b>【성명의 영문표기】</b>	JOO, HEUNG JIN
<b>【주민등록번호】</b>	720531-1820112



1020020066520

출력 일자: 2003/6/19

【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 동성아파트 101동 1203호
【국적】	KR
【발명자】	
【성명의 국문표기】	이상영
【성명의 영문표기】	LEE, SANG YOUNG
【주민등록번호】	611203-1820815
【우편번호】	137-130
【주소】	서울특별시 서초구 양재동 154-2 우성아파트 106동 1305호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	6 면 6,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	19 항 717,000 원
【합계】	752,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

커패시터를 갖는 반도체 소자 및 그 형성방법을 제공한다. 이 소자는 반도체기판 상에 형성된 층간절연막을 구비한다. 층간절연막을 관통하여 반도체기판의 소정영역에 접속하는 매립콘택플러그가 배치되고, 매립콘택플러그의 상부면 상에 산화방지막 패턴이 배치된다. 산화방지막 패턴 상에 하부전극이 배치된다. 이때, 산화방지막 패턴의 상부면 및 하부전극의 하부면은 동일한 면적을 갖는다. 이로 인하여, 본 발명에 따른 커패시터의 하부전극은 종래의 그것에 비하여 넓은 표면적을 갖는다. 결과적으로, 본 발명에 따른 커패시터는 종래의 그것에 비하여 큰 정전용량을 갖는다.

**【대표도】**

도 10

**【명세서】****【발명의 명칭】**

엠아이엠 구조의 커패시터를 갖는 반도체소자 및 그 형성방법{Semiconductor device having capacitors of Metal-Insulator-Metal structure and Method of forming the same}

**【도면의 간단한 설명】**

도 1 및 도 2는 종래의 엠아이엠 커패시터의 하부전극을 형성하는 방법을 설명하기 위한 단면도들이다.

도 3은 종래의 엠아이엠 커패시터의 하부전극을 형성하는 다른 방법을 설명하기 위한 단면도이다.

도 4는 본 발명의 바람직한 실시예에 따른 엠아이엠 커패시터를 갖는 반도체 소자를 설명하기 위한 단면도이다.

도 5 내지 도 10은 본 발명의 바람직한 실시예에 따른 엠아이엠 커패시터를 갖는 반도체 소자의 형성방법을 설명하기 위한 단면도들이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 소자의 및 그 형성방법에 관한 것으로, 특히, 엠아이엠 구조의 커패시터를 갖는 반도체 소자 및 그 형성방법에 관한 것이다.

<6> 반도체 소자 중 커패시터는 통상적으로, 하부전극, 상부전극 및 하부 전극 및 상부 전극 사이에 개재된 유전막으로 구성된다. 커패시터는 전하를 축적한다. 이로 인하여,



커패시터는 반도체 기억소자의 데이터 저장부로서 많이 사용되고 있다. 반도체 기억소자 중 디램 소자는 데이터의 입출력을 관할하는 1개의 트랜지스터 및 데이터를 저장하는 1개의 커패시터로 구성된다.

<7> 반도체 소자의 고집적화 경향에 따라, 커패시터의 정전용량이 감소하고 있다. 이를 해결하기 위한 방안으로 커패시터의 유전막을 일반적인 ONO막(Oxide-Nitride-Oxide)에 비하여 고유전율을 갖는 고유전막으로 형성하는 방법이 제안된 바 있다. 하지만, 고유전막을 사용할 경우, 고유전막 및 하부전극이 반응하여 누설전류등의 커패시터 특성을 열화시킬 수 있다. 이에 대한 방안으로 MIM(Metal-Insulator-Metal) 구조를 갖는 커패시터(이하 MIM 커패시터 라고함)가 제안 된 바 있다. MIM 커패시터는 하부전극 및 상부전극을 금속막, 특히 귀금속막으로 형성한다. 이로 인하여, 커패시터의 누설전류를 최소화할 수 있다. MIM 커패시터는 강유전체 기억소자의 단위 셀을 구성하기도 한다. 강유전체 기억 소자의 단위 셀은 디램 단위 셀과 유사하게 1개의 트랜지스터 및 1개의 커패시터로 구성된다. 차이점으로는 강유전체 기억소자의 커패시터는 유전막을 강유전체막으로 형성한다. 이로 인하여, 강유전체 기억소자는 디램 기억소자와 달리, 외부에서 전원공급이 중단될지라도 데이터가 소실되지 않는 비휘발성 특성을 갖는다. 강유전체막은 전기장 하에서 분극된 후 전기장이 제거된 후에도 분극 현상이 유지되는 분극 이력 특성을 갖는다. 이로 인해, 강유전체막을 사용하는 커패시터는 전원이 차단될지라도 저장된 데이터가 소실되지 않는다.

<8> 한편, 상기 MIM 커패시터를 갖는 반도체소자를 형성할때, 통상적으로 하부전극과 하부전극 하부의 콘택플러그 사이에 산화방지막 패턴을 형성할 수 있다. 산화방지막 패

턴은 고유전막 또는 강유전체막을 결정화하는 열공정에 의하여 하부전극 또는 콘택플러그가 산화되어 접촉저항이 증가하는 것을 최소화한다.

<9> 도 1 및 도 2는 종래의 MIM 커패시터의 하부전극을 형성하는 방법을 설명하기 위한 단면도들이고, 도 3은 종래의 MIM 커패시터의 하부전극을 형성하는 다른 방법을 설명하기 위한 단면도이다.

<10> 도 1 및 도2를 참조하면, 반도체기판(1) 상에 하부 층간절연막(2)을 형성하고, 상기 하부 층간절연막(2)을 관통하여 상기 반도체기판(1)의 소정영역과 접속하는 매립콘택플러그들(3)을 형성한다. 상기 매립 콘택플러그(3)의 상부면을 덮는 산화방지막 패턴(4)을 형성한다. 상기 산화방지막 패턴(4)을 갖는 반도체기판 전면에 상부 층간절연막(5)을 형성하고, 상기 상부 층간절연막(5)을 패터닝하여 상기 산화방지막 패턴(4)의 소정영역을 노출시키는 하부전극홀(6)을 형성한다. 상기 하부전극홀(6) 내부를 포함하는 반도체기판(1) 전면에 하부전극막(7)을 형성하고, 상기 하부전극막(7) 상에 상기 하부전극홀(6)을 채우는 희생절연막(8)을 형성한다. 상기 하부전극막(7)은 금속막으로 형성한다. 상기 희생절연막(8) 및 하부전극막(7)을 상기 상부 층간절연막(5)이 노출될때까지 평탄화하여 상기 하부전극홀(6) 내에 적층된 하부전극(7a) 및 희생절연막 패턴(8a)을 형성한다.

<11> 상술한 종래 기술에서, 상기 산화방지막 패턴(4)은 인접한 산화방지막 패턴(4)과 디자인룰 상 최소간격으로 이격되고, 상기 하부 전극홀(6)은 상기 산화방지막 패턴(4)의 상부면을 모두 노출시키지 않는다. 상기 하부 전극홀(6)이 상기 산화방지막 패턴(4)의 상부면을 모두 노출시키지 않는 것은 상기 하부 전극홀(6)과 상기 산화방지막 패턴(4)간의 정렬 마진(10) 때문이다. 즉, 상기 산화방지막 패턴(4)의 상부면은 상기 하부 전극

(7a)의 상부면 면적에 상기 정렬 마진(10)을 합한 면적을 갖는다. 이로 인하여, 상기 하부전극(7a)의 표면적은 상기 산화방지막 패턴(4)이 없을 경우의 하부전극에 비하여 적은 표면적을 갖을 수 있다.

<12> 도 3에서는 종래의 하부전극 및 산화방지막 패턴을 형성하는 다른 방법을 보여준다

<13> 도 3을 참조하면, 반도체기판(1) 상에 형성된 하부 층간절연막(2)을 관통하여 상기 반도체기판(1)의 소정영역과 접속하는 매립콘택플러그(3)를 형성하고, 상기 매립콘택플러그(3)를 갖는 반도체기판(1) 전면 상부 층간절연막(5)을 형성한다. 상기 상부 층간절연막(5)을 패터닝하여 상기 매립 콘택플러그(3)의 상부면을 노출시키는 하부전극홀(6)을 형성한다. 상기 하부전극홀(6) 내부를 포함하는 반도체기판(1) 전면 상부에 콘포말한 산화방지막(미도시함) 및 하부전극막(미도시함)을 차례로 형성하고, 상기 하부전극막 상에 상기 하부전극홀(6)을 채우는 희생절연막(미도시함)을 형성한다. 상기 희생절연막, 상기 하부전극막 및 상기 산화방지막을 상기 상부 층간절연막(5)이 노출될때까지 평탄화하여 상기 하부전극홀(6) 내부에 차례로 적층된 산화방지막 패턴(4b), 하부전극(7a) 및 희생절연막 패턴(8a)을 형성한다.

<14> 상술한 다른 종래 기술에서는, 상기 산화방지막 패턴(4b)이 상기 하부전극(7a)의 하부면 및 측벽에도 형성된다. 이 경우에도, 상기 하부전극(7a)의 표면적은 상기 산화방지막 패턴(4b)이 없을 경우에 비하여 표면적이 줄어들 수 있다. 이는 상기 하부전극(7a)의 측벽에 상기 산화방지막 패턴(4b)이 형성됨으로써, 상기 하부전극(7a)의 크기가 줄어들기 때문이다.

**【발명이 이루고자 하는 기술적 과제】**

<15> 본 발명이 이루고자 하는 기술적 과제는 종래의 하부 전극 보다 표면적이 넓은 하부 전극을 갖는 MIM 커패시터를 갖는 반도체 소자를 제공하는 데 있다.

<16> 본 발명이 이루고자 하는 다른 기술적 과제는 종래의 하부전극 보다 표면적이 넓은 하부전극을 갖는 MIM 커패시터를 갖는 반도체 소자의 형성방법을 제공하는 데 있다.

**【발명의 구성 및 작용】**

<17> 상술한 기술적 과제를 해결하기 위한 MIM 커패시터를 갖는 반도체 소자 및 그 형성 방법을 제공한다. 이 소자는 반도체기판 상에 형성된 층간절연막을 포함한다. 상기 층간절연막을 관통하여 상기 반도체기판의 소정영역에 접속하는 매립콘택플러그가 배치되고, 상기 매립콘택플러그의 상부면 상에 산화방지막 패턴이 배치된다. 상기 산화방지막 패턴 상에 하부전극이 배치된다. 이때, 상기 산화방지막 패턴의 상부면 및 상기 하부전극의 하부면은 동일한 면적을 갖는다.

<18> 구체적으로, 상기 하부전극의 외부측벽 및 상기 산화방지막 패턴의 측벽은 동일한 일직선 상에 배치되는 것이 바람직하다. 상기 하부전극 상에 상부전극이 배치되고, 상기 상부전극 및 상기 하부전극 사이에 유전막이 개재되는 것이 바람직하다. 상기 유전막은 일반적인 유전막으로 사용되는 ONO(Oxide-Nitride-Oxide)막에 비하여, 높은 유전율을 갖는 고유전막으로 이루어질 수 있다. 이와는 다르게, 상기 유전막은 강유전체막으로 이루어질 수 있다.

<19> 본 발명에 따른 MIM 커패시터를 갖는 반도체 소자의 형성방법은 반도체기판 상에 차례로 적층된 산화방지막 패턴 및 캐핑막 패턴을 형성하는 단계를 포함한다. 상기 캐핑

막 패턴을 갖는 반도체기판에 상기 캐핑막 패턴에 대하여 식각선택비를 갖는 몰드절연막을 형성하고, 상기 몰드절연막을 상기 캐핑막 패턴이 노출될때까지 평탄화시킨다. 상기 노출된 캐핑막 패턴을 식각하여 상기 산화방지막 패턴 상부면의 전면을 노출시키는 하부전극홀을 형성하고, 상기 하부전극홀 내에 하부전극을 형성한다. 이때, 상기 캐핑막 패턴은 상기 산화방지막 패턴에 대하여 식각선택비를 갖는 물질막으로 형성한다.

<20> 구체적으로, 상기 캐핑막 패턴은 실리콘질화막으로 형성하는 것이 바람직하다. 상기 하부전극을 형성한 후에, 상기 몰드절연막을 식각하여 제거하는 단계 및 상기 상부전극의 표면상에 유전막 및 상부전극을 차례로 형성하는 단계를 더 포함하는 것이 바람직하다. 상기 유전막은 일반적인 유전막으로 사용되는 ONO막에 비하여 고유전율을 갖는 고유전막으로 형성할 수 있다. 이와는 달리, 상기 유전막은 강유전체막으로 형성할 수 있다.

<21> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화 될 수도 있다. 오히려, 여기서 소개되는 실시들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어 진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우는 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재 될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성요소들을 나타낸다.

<22> 도 4는 본 발명의 바람직한 실시예에 따른 엠아이엠 커패시터를 갖는 반도체 소자를 설명하기 위한 단면도이다.

<23> 도 4를 참조하면, 반도체 기판(101) 상에 층간절연막(104) 및 식각방지막(105)이 차례로 배치되고, 상기 식각방지막(105) 및 상기 층간절연막(104)을 연속적으로 관통하여 상기 반도체기판(101)의 소정영역과 접촉하는 매립콘택플러그(107)가 배치된다. 상기 식각방지막(105)은 생략될 수 있다. 상기 층간절연막(104)은 일반적인 층간절연막으로 사용되는 실리콘산화막으로 이루어질 수 있다. 상기 매립콘택플러그(107)는 도전막, 예컨대, 도핑된 폴리실리콘막 또는 텅스텐막으로 이루어질 수 있다. 상기 식각방지막(105)은 상기 층간절연막(104)에 대하여 식각선택비를 갖는 절연막, 예컨대, 실리콘질화막으로 이루어질 수 있다.

<24> 상기 매립콘택플러그(107) 상에 산화방지막 패턴(110a)이 배치되고, 상기 산화방지막 패턴(110a) 상에 하부전극(117a)이 배치된다. 상기 산화방지막 패턴(110a) 하부면의 소정영역은 상기 매립콘택플러그(107)의 상부면과 전기적으로 접속한다. 상기 산화방지막 패턴(110a)의 상부면 및 상기 하부전극(117a)의 하부면은 동일한 면적을 갖는다. 다시 말해서, 상기 산화방지막 패턴(110a) 상부면의 전면과 상기 하부전극(117a) 하부면의 전면이 접촉하며, 전기적으로 접속된다. 상기 하부전극(117a)은 실린더형일 수 있다. 상기 하부전극(117a)의 외부측벽은 상기 산화방지막 패턴(110a)의 측벽과 동일한 일직선 상에 배치되는 것이 바람직하다. 이로 인하여, 상기 하부전극(117a)은 종래의 하부전극에 비하여 넓은 표면적을 가질 수 있다. 결과적으로, 상기 하부전극(117a)을 갖는 커패시터는 종래의 하부전극을 갖는 커패시터에 비하여 큰 정전용량을 가질 수 있다.

- <25>      상기 산화방지막 패턴(110a)은 산화공정에 대한 내성을 갖는 도전막, 예컨대, 도전성 금속질화막으로 이루어지는 것이 바람직하다. 상기 도전성 금속질화막은 TiN, TaN, TiAlN, WN등으로 이루어질 수 있다. 상기 하부전극(117a)은 도전막, 예컨대, 귀금속막(noble metal layer) 및 귀금속을 함유하는 도전성 화합물질막 중 선택된 적어도 하나로 이루어지는 것이 바람직하다. 상기 귀금속막은 예컨대, 팔라듐(Pd; Palladium)막, 루세니움(Ru; ruthenium)막, 플라티늄(Pt; Platinum)막 또는 이리듐(Ir; Iridium)막등으로 이루어질 수 있으며, 상기 귀금속을 함유하는 도전성화합물질막은 예컨대, 이리듐 이산화막( $\text{IrO}_2$ )으로 이루어질 수 있다.
- <26>      상기 하부전극(117a)의 표면 상부에 상부전극(122)이 배치되고, 상기 하부전극(117a) 및 상기 상부전극(122) 사이에 유전막(120)이 개재된다. 상기 하부전극(117a), 상기 유전막(120) 및 상기 상부전극(122)은 커패시터를 구성한다.
- <27>      상기 상부전극(122)은 도전막, 예컨대, 귀금속막(noble metal layer) 및 귀금속을 함유하는 도전성 화합물질막 중 선택된 적어도 하나로 이루어지는 것이 바람직하다. 상기 귀금속막은 예컨대, 팔라듐(Pd; Palladium)막, 루세니움(Ru; ruthenium)막, 플라티늄(Pt; Platinum)막 또는 이리듐(Ir; Iridium)막등으로 이루어질 수 있으며, 상기 귀금속을 함유하는 도전성화합물질막은 예컨대, 이리듐 이산화막( $\text{IrO}_2$ )으로 이루어질 수 있다.
- <28>      상기 유전막(120)은 일반적인 유전막으로 사용되는 ONO(Oxide-Nitride-Oxide)막에 비하여 고유전율을 갖는 고유전막으로 이루어질 수 있다. 예를 들면, 알루미늄 산화막( $\text{Al}_2\text{O}_3$ ) 또는 하프늄 산화막( $\text{HfO}_2$ ) 등으로 이루어질 수 있다. 상기 고유전막을 갖는 커

패시터는 디램기억소자의 단위 셀을 구성하는 커패시터로 사용되는 것이 바람직하다. 이와는 다르게, 상기 유전막(120)은 강유전체막으로 이루어질 수 있다. 상기 강유전체막은 PZT, SBT, BLT 또는 강유전물질이 조합된 복합층 등으로 이루어질 수 있다. 상기 강유전체막을 갖는 커패시터는 강유전체 기억소자의 단위 셀을 구성하는 커패시터로 사용되는 것이 바람직하다.

<29> 도 5 내지 도 10은 본 발명의 바람직한 실시예에 따른 엠아이엠 커패시터를 갖는 반도체 소자의 형성방법을 설명하기 위한 단면도들이다.

<30> 도 5를 참조하면, 반도체기판(1)에 소자분리막(102)을 형성하여 활성영역을 한정한다. 상기 소자분리막(102)은 트렌치 소자분리막으로 형성할 수 있다. 상기 활성영역에 불순물이온들을 선택적으로 주입하여 불순물확산층(103)을 형성한다. 상기 불순물확산층(103)은 트랜지스터(미도시함)의 소오스/드레인 영역일 수 있다. 상기 불순물확산층(103)을 갖는 반도체기판(101)에 층간절연막(104) 및 식각방지막(105)을 차례로 형성한다. 상기 층간절연막(104)은 일반적인 층간절연막으로 형성하는 실리콘산화막으로 형성할 수 있다. 상기 식각방지막(105)은 일반적인 층간절연막으로 사용되는 실리콘산화막에 대하여 식각선택비를 갖는 절연막, 예컨대, 실리콘질화막으로 형성할 수 있다. 상기 식각방지막(105) 및 상기 층간절연막(104)을 연속적으로 관통하여 상기 불순물확산층(103)의 소정영역과 전기적으로 접속하는 매립콘택플러그(107)를 형성한다. 상기 매립콘택플러그(107)은 도전막, 예컨대, 도핑된 폴리실리콘막 또는 텅스텐막으로 형성할 수 있다. 상기 매립콘택플러그(107)를 갖는 반도체기판(101) 전면에는 산화방지막(110) 및 캐핑막(112)을 차례로 형성한다. 상기 산화방지막(110)은 산화에 대한 내성이 강한 도전막, 예컨대, 도전성 금속질화막으로 형성하는 것이 바람직하다. 상기 도전성 금속질화막은



TiN, TaN, TiAlN 및 WN등으로 형성할 수 있다. 상기 캐핑막(112)은 상기 산화방지막(110)에 대한 식각선택비를 갖는 물질막으로 형성한다. 예를 들면, 실리콘질화막으로 형성할 수 있다.

<31> 도 6 및 도 7을 참조하면, 상기 캐핑막(112) 및 상기 산화방지막(110)을 연속적으로 패터닝하여 차례로 적층된 산화방지막 패턴(110a) 및 캐핑막 패턴(112)을 형성한다. 상기 산화방지막 패턴(110a)은 상기 매립콘택플러그(107)의 상부면을 덮는다. 즉, 상기 산화방지막 패턴(110a)은 상기 매립콘택플러그(107)와 전기적으로 접촉한다. 상기 산화방지막 패턴(110a)은 이웃하는 산화방지막 패턴(110a)과 디자인룰에 의한 최소 간격으로 형성할 수 있다. 상기 캐핑막 패턴(112) 및 상기 산화방지막 패턴(110a)을 갖는 반도체 기판 전면에 몰드절연막(114)을 형성한다. 상기 몰드절연막(114)은 상기 캐핑막 패턴(112a)에 대하여 식각선택비를 갖는 절연막으로 형성한다. 이에 더하여, 상기 몰드절연막(114)은 상기 산화방지막 패턴(110a) 및 상기 식각방지막(105)에 대한 식각선택비를 갖는 것이 바람직하다. 상기 몰드절연막(114)은 예컨대, 실리콘산화막으로 형성하는 것이 바람직하다.

<32> 상기 몰드절연막(114)을 상기 캐핑막 패턴(112a)이 노출될때까지 평탄화시킨다. 상기 평탄화공정은 에치백(etch back) 공정 또는 화학적기계적 연마공정으로 진행할 수 있다.

<33> 도 8 및 도 9를 참조하면, 상기 노출된 캐핑막 패턴(112a)을 상기 산화방지막 패턴(110a)이 노출될때까지 식각하여 제거한다. 이때, 자기정렬된 하부전극홀(115)이 형성된다. 즉, 상기 캐핑막 패턴(112a)이 위치하던 영역이 상기 캐핑막 패턴(112a)이 제거됨으로써, 상기 하부전극홀(115)이 형성된다. 상기 하부전극홀(115)의 측벽은 상기 몰드

절연막(114)이며, 상기 하부전극홀(115)은 상기 산화방지막 패턴(110a) 상부면의 전면을 노출시킨다.

<34>      상기 하부전극홀(115)을 갖는 반도체기판(101)에 콘포말한 하부전극막(117)을 형성하고, 상기 하부전극막(117) 상에 상기 하부전극홀(115)을 채우는 희생절연막(119)을 형성한다. 상기 하부전극막(117)은 도전막, 예컨대, 귀금속막(noble metal layer) 및 귀금속을 함유하는 도전성 화합물질막 중 선택된 적어도 하나로 형성하는 것이 바람직하다. 상기 귀금속막은 예컨대, 팔라듐(Pd; Palladium)막, 루세니움(Ru; ruthenium)막, 플래티늄(Pt; Platinum)막 또는 이리듐(Ir; Iridium)막등으로 형성할 수 있으며, 상기 귀금속을 함유하는 도전성화합물질막은 예컨대, 이리듐 이산화막( $\text{IrO}_2$ )으로 형성할 수 있다. 상기 희생절연막(119)은 일반적인 층간절연막으로 사용되는 실리콘산화막으로 형성할 수 있다.

<35>      상기 희생절연막(119) 및 상기 하부전극막(117)을 상기 몰드절연막(114)이 노출될 때까지 평탄화시키어 상기 하부전극홀(115) 내에 차례로 적층된 하부전극(117a) 및 희생절연막 패턴(119a)을 형성한다. 이때, 상기 하부전극(117a)의 하부면은 상기 하부전극홀(115)에 기인하여 상기 산화방지막 패턴(110a) 상부면의 전면과 접촉한다. 다시 말해서, 상기 하부전극(117a)의 하부면과 상기 산화방지막 패턴(110a)의 상부면은 동일한 면적을 갖는다. 이로 인하여, 상기 하부전극(117a)은 종래의 하부전극에 비하여 넓은 표면적을 갖게 된다. 결과적으로, 상기 하부전극(117a)을 갖는 커패시터의 정전용량이 증가한다.

- <36> 도 10을 참조하면, 상기 희생절연막 패턴(119a) 및 상기 평탄화된 몰드절연막(114)을 등방성식각, 예컨대, 습식식각공정으로 식각하여 상기 식각방지막(105)을 노출시킨다. 이때, 상기 하부전극(117a)의 내부 및 외부 측벽이 노출된다.
- <37> 상기 식각방지막(105)이 노출된 반도체기판(101) 전면에 콘포말한 유전막(120)을 형성하고, 상기 유전막(120) 상에 상부전극(122)을 형성한다. 상기 하부전극(117a), 상기 유전막(120) 및 상기 상부전극(122)은 커패시터를 구성한다.
- <38> 상기 유전막(120)은 일반적으로 유전막으로 사용되는 ONO(Oxide-Nitride-Oxide)막에 비하여 고유전율을 갖는 고유전막으로 형성할 수 있다. 예를 들면, 알루미늄 산화막( $Al_2O_3$ ) 또는 하프늄 산화막( $HfO_2$ ) 등으로 형성할 수 있다. 이때, 상기 고유전막을 갖는 커패시터는 디램기억소자의 단위 셀을 구성하는 커패시터로 형성될 수 있다. 이와는 달리, 상기 유전막(120)은 강유전체막으로 형성할 수 있다. 상기 강유전체막은 PZT, SBT, BLT 또는 강유전물질이 조합된 복합층 등으로 형성할 수 있다. 이때에는 상기 강유전체막을 갖는 커패시터는 강유전체 기억소자의 단위 셀을 구성하는 커패시터로 형성될 수 있다.
- <39> 상기 상부전극(122)은 도전막, 예컨대, 귀금속막(noble metal layer) 및 귀금속을 함유하는 도전성 화합물질막 중 선택된 적어도 하나로 형성하는 것이 바람직하다. 상기 귀금속막은 예컨대, 팔라듐(Pd; Palladium)막, 루세늄(Ru; ruthenium)막, 플래티늄(Pt; Platinum)막 또는 이리듐(Ir; Iridium)막등으로 형성할 수 있으며, 상기 귀금속을 함유하는 도전성화합물질막은 예컨대, 이리듐 이산화막( $IrO_2$ )으로 형성할 수 있다.

**【발명의 효과】**

<40> 본 발명에 따르면, 반도체기판 상에 형성된 하부전극의 하부면과 상기 하부전극 및 상기 반도체기판 사이에 개재된 산화방지막 패턴의 상부면이 동일한 면적을 갖고, 접촉한다. 이로 인하여, 상기 하부전극은 종래의 하부전극에 비하여 넓은 표면적을 갖는다. 결과적으로, 본 발명에 따른 커패시터는 종래의 커패시터에 비하여 큰 정전용량을 갖는다.

**【특허청구범위】****【청구항 1】**

반도체기판 상에 형성된 층간절연막;

상기 층간절연막을 관통하여 상기 반도체기판의 소정영역에 접속되는 매립콘택 플러그;

상기 매립콘택플러그의 상부면 상에 배치된 산화방지막 패턴;

상기 산화방지막 패턴 상에 배치된 하부 전극을 포함하되, 상기 산화방지막 패턴의 상부면 및 상기 하부 전극의 하부면은 동일한 면적을 갖는 것을 특징으로 하는 반도체 소자.

**【청구항 2】**

제 1 항에 있어서,

상기 산화방지막 패턴은 도전성 금속질화막으로 이루어지는 것을 특징으로 하는 반도체 소자.

**【청구항 3】**

제 1 항에 있어서,

상기 하부 전극은 귀금속(noble metal)막 또는 귀금속을 포함하는 도전성 화합물질막 중 선택된 적어도 하나로 이루어지는 것을 특징으로 하는 반도체 소자.

**【청구항 4】**

제 1 항에 있어서,

상기 하부전극의 외부측벽 및 상기 산화방지막 패턴의 측벽은 동일한 일직선상에 배치되는 것을 특징으로 하는 반도체 소자.

【청구항 5】

제 1 항에 있어서,

상기 하부 전극 상부에 배치된 상부전극; 및

상기 하부전극 및 상부 전극 사이에 개재된 유전막을 더 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 6】

제 5 항에 있어서,

상기 유전막은 일반적인 유전막으로 사용되는 ONO(Oxide-Nitride-Oxide)막에 비하여 높은 유전율을 갖는 고유전막으로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 7】

제 5 항에 있어서,

상기 유전막은 강유전체막으로 이루어지는 것을 특징으로 하는 반도체소자.

【청구항 8】

제 5 항에 있어서,

상기 상부전극은 귀금속(noble metal)막 또는 귀금속을 포함하는 도전성 화합물질 막 중 선택된 적어도 하나로 이루어지는 것을 특징으로 하는 반도체 소자.

**【청구항 9】**

반도체기판 상에 차례로 적층된 산화방지막 패턴 및 캐핑막 패턴을 형성하는 단계;

상기 캐핑막 패턴을 갖는 반도체기판에 상기 캐핑막 패턴에 대하여 식각선택비를 갖는 몰드절연막을 형성하는 단계;

상기 몰드절연막을 상기 캐핑막 패턴이 노출될때까지 평탄화하는 단계;

상기 노출된 캐핑막 패턴을 식각하여 상기 산화방지막 패턴 상부면의 전면을 노출시키는 하부전극홀을 형성하는 단계; 및

상기 하부 전극홀 내에 하부전극을 형성하는 단계를 포함하되, 상기 캐핑막 패턴은 상기 산화방지막 패턴에 대하여 식각선택비를 갖는 물질막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

**【청구항 10】**

제 9 항에 있어서,

상기 산화방지막 패턴 및 캐핑절연막 패턴을 형성하기 전에,

상기 반도체기판에 층간절연막 및 식각방지막을 형성하는 단계;

상기 식각방지막 및 상기 층간절연막을 관통하여 상기 반도체기판의 소정영역과 접촉하는 매립콘택플러그를 형성하는 단계를 더 포함하되, 상기 매립 콘택플러그의 상부면은 상기 산화방지막 패턴 하부면의 소정영역과 접촉하고, 상기 식각방지막은 상기 몰드절연막에 대하여 식각선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

**【청구항 11】**

제 9 항에 있어서,

상기 산화방지막 패턴은 도전성 금속질화막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

**【청구항 12】**

제 9 항에 있어서,

상기 캐핑막 패턴은 실리콘질화막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

**【청구항 13】**

제 9 항에 있어서,

상기 몰드절연막은 실리콘산화막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

**【청구항 14】**

제 9 항에 있어서,

상기 하부 전극을 형성하는 단계는,

상기 하부 전극홀 내부를 포함하는 반도체기판 전면에 콘포말하게 하부전극막을 형성하는 단계;

상기 하부 전극막 상에 상기 하부전극홀을 채우는 희생절연막을 형성하는 단계;



상기 희생절연막 및 상기 하부전극막을 상기 몰드절연막이 노출될때까지 평탄화하여 상기 하부전극홀 내에 하부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 15】

제 9 항에 있어서,

상기 하부전극은 귀금속(noble metal)막 또는 귀금속을 함유하는 도전성 화합물질막 중 선택된 적어도 하나로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 16】

제 9 항에 있어서,

상기 하부전극을 형성한 후에,

상기 몰드절연막을 식각하여 제거하는 단계; 및

상기 하부전극의 표면에 유전막 및 상부 전극을 차례로 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 17】

제 16 항에 있어서,

상기 유전막은 일반적인 유전막으로 형성되는 ONO(Oxide-Nitride-Oxide)막에 비하여 높은 유전율을 갖는 고유전막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 18】

제 16 항에 있어서,

상기 유전막은 강유전체막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 19】

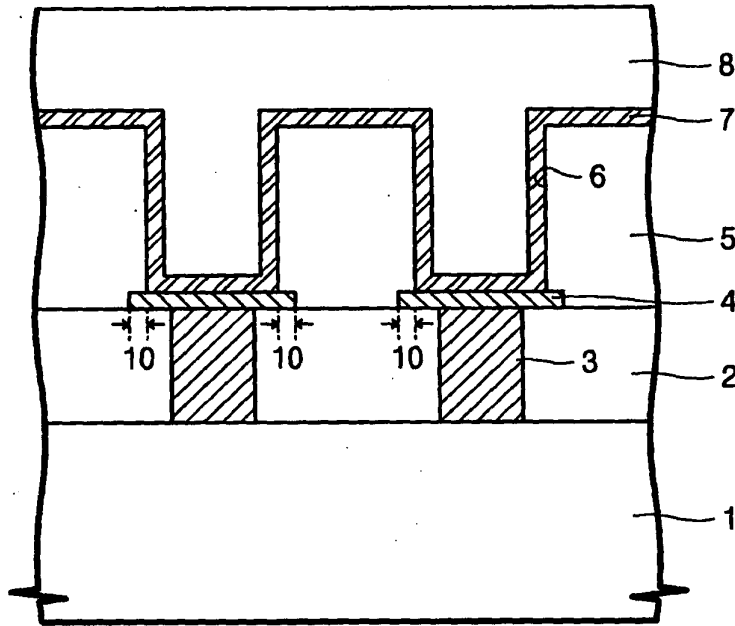
제 16 항에 있어서,

상기 상부전극은 귀금속(noble metal)막 또는 귀금속을 함유하는 도전성 화합물질막 중 선택된 적어도 하나로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【도면】

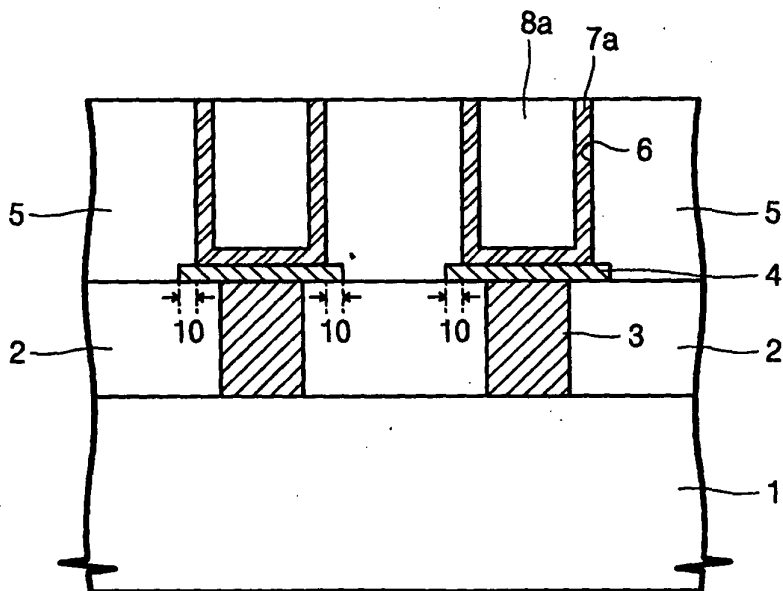
【도 1】

(종래기술)



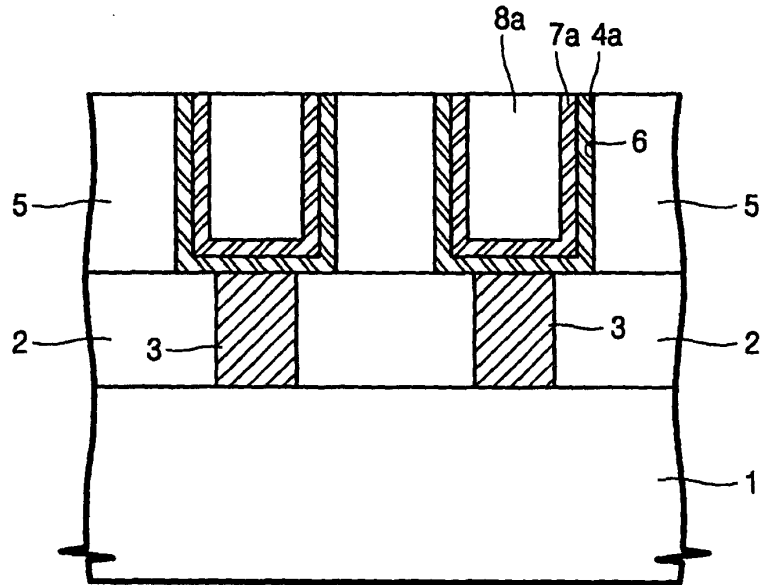
【도 2】

(종래기술)

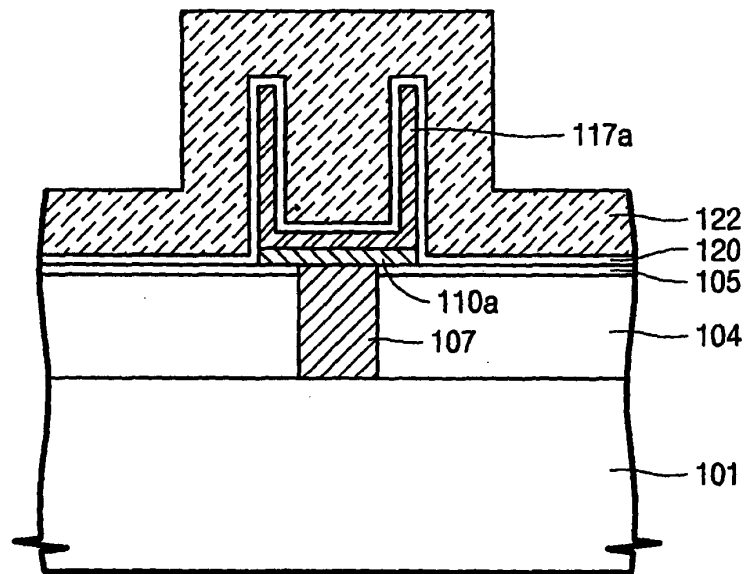


【도 3】

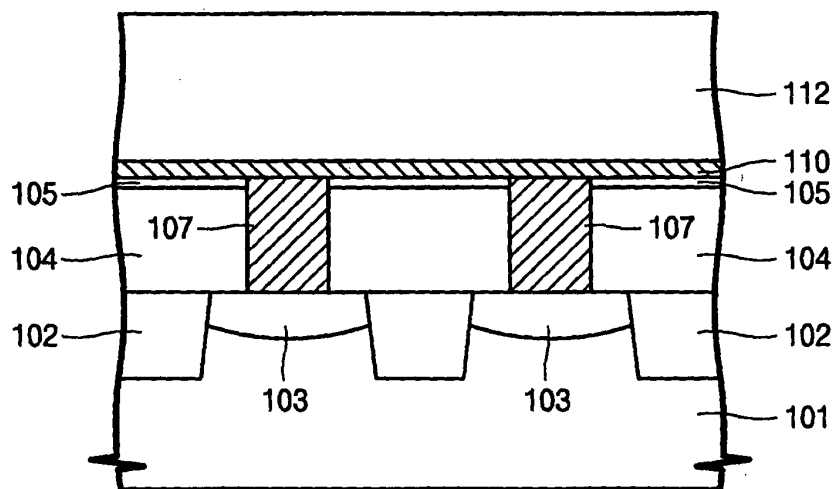
(종래기술)



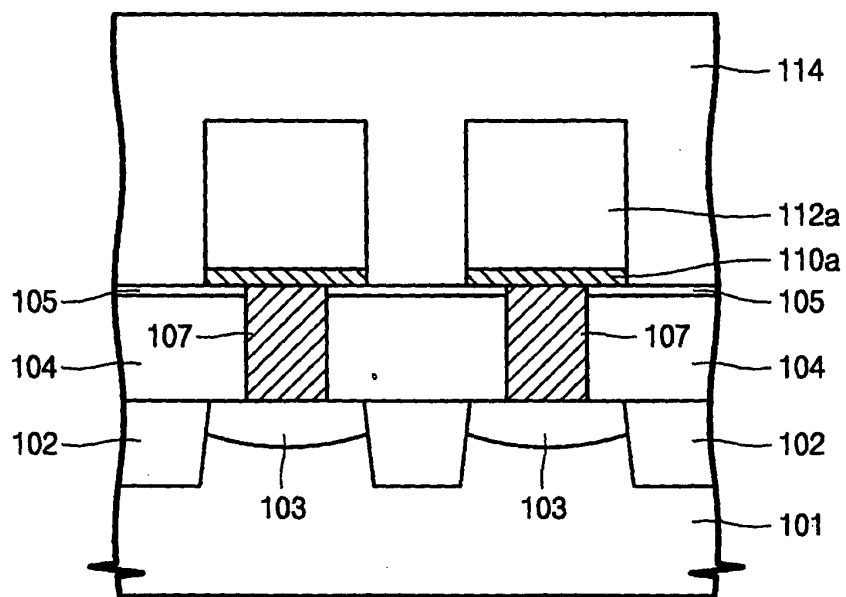
【도 4】



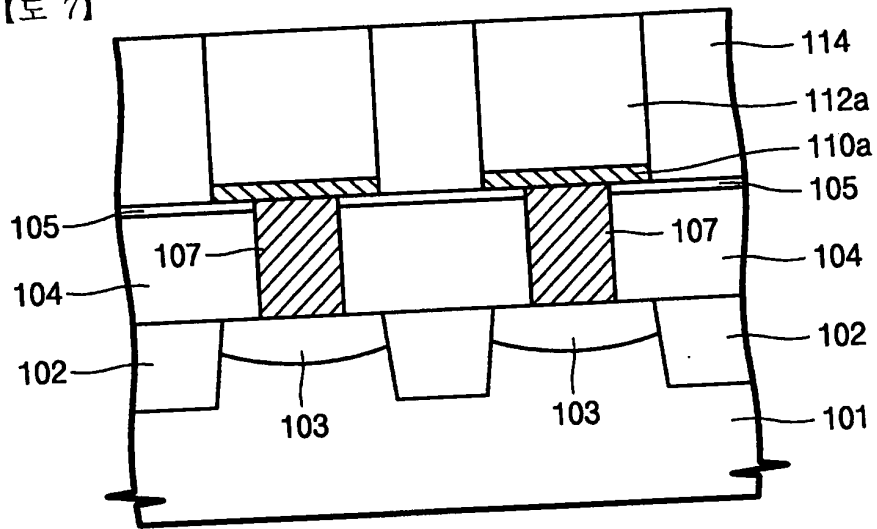
【도 5】



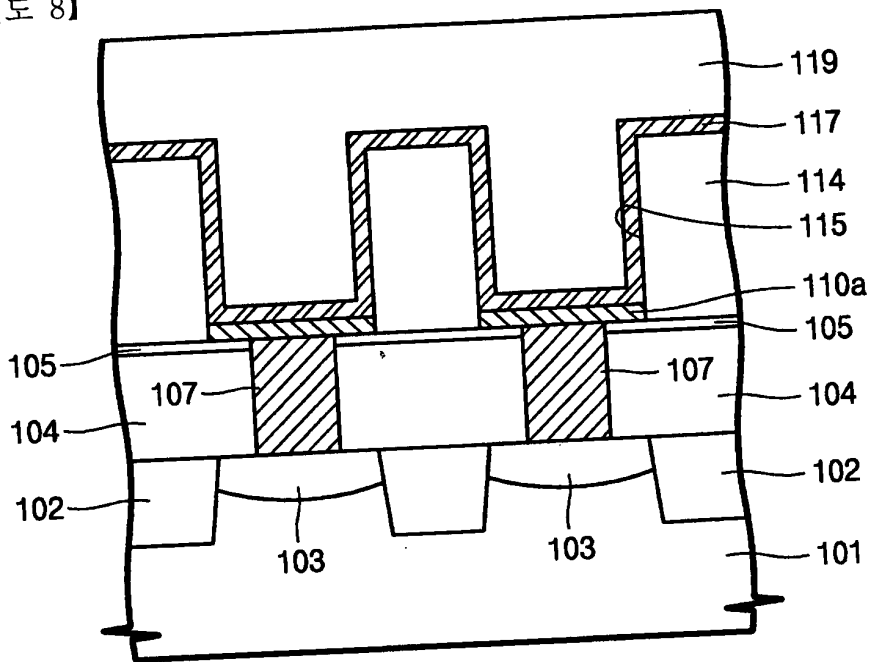
【도 6】



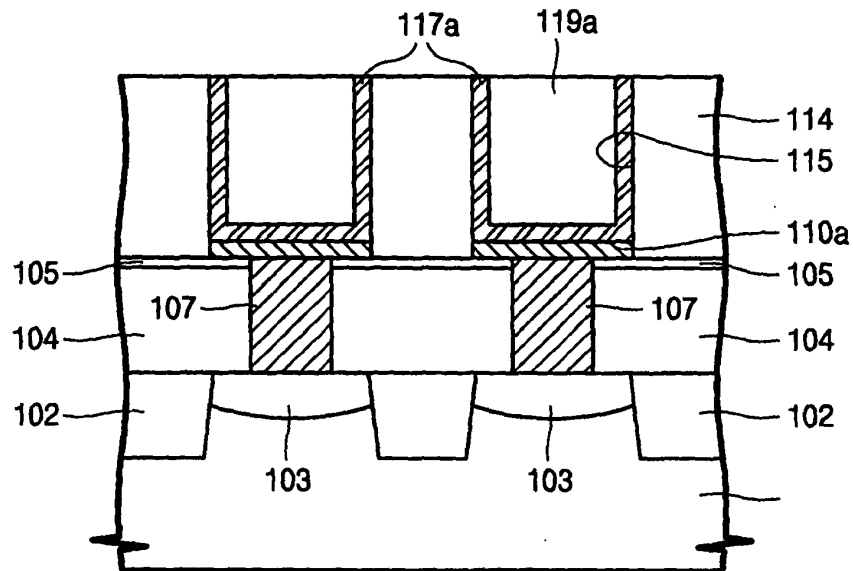
【도 7】



【도 8】



【도 9】



【도 10】

